

#4 priority  
paper  
4-3-01  
Ristoku

JC564 U.S. PTO  
09/11/399  
11/22/00



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원번호 : 특허출원 2000년 제 42158 호  
Application Number

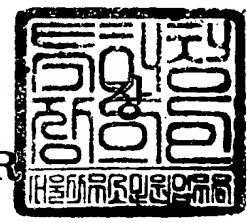
출원년월일 : 2000년 07월 22일  
Date of Application

출원인 : 현대전자산업주식회사  
Applicant(s)



2000 년 09 월 05 일

특 허 청  
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.07.22
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자의 금속 박막 및 그의 형성 방법
【발명의 영문명칭】	Metal thin film of semiconductor device and method for forming the same
【출원인】	
【명칭】	현대전자산업 주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강용복
【대리인코드】	9-1998-000048-4
【포괄위임등록번호】	1999-057814-0
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-057815-7
【발명자】	
【성명의 국문표기】	이원준
【성명의 영문표기】	LEE, Won Jun
【주민등록번호】	700920-1047510
【우편번호】	121-090
【주소】	서울특별시 마포구 염리동 174-11 진주아파트 4동 410호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강용복 (인) 대리인 김용인 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	10 면 10,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	7	항	333,000	원
【합계】	372,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 우수한 스텝 커버리지 및 표면 거칠기를 유지할 수 있도록한 반도체 소자의 금속 박막 및 그의 형성 방법에 관한 것으로, 반도체 기판상에 형성되는 베리어 금속층;상기 베리어 금속층상에 순차적으로 적층 형성되는 PVD 씨드 박막,CVD 박막,PVD 리플로우 박막을 포함하고, 상기 PVD 씨드 박막,CVD 박막,PVD 리플로우 박막이 모두 동일 물질인 것을 특징으로 한다.

**【대표도】**

도 5

**【색인어】**

금속 박막

**【명세서】****【발명의 명칭】**

반도체 소자의 금속 박막 및 그의 형성 방법{Metal thin film of semiconductor device and method for forming the same}

**【도면의 간단한 설명】**

- 도 1a내지 도 1e는 종래 기술의 텅스텐 플러그를 이용한 금속 배선의 공정 단면도
- 도 2a내지 도 2d는 종래 기술의 Al 리플로우를 이용한 금속 배선의 공정 단면도
- 도 3a내지 도 3d는 종래 기술의 Al Cold-Hot 증착을 이용한 금속 배선의 공정 단면도
- 도 4a내지 도 4d는 종래 기술의 CVD/PVD Al을 이용한 금속 배선의 공정 단면도
- 도 5는 본 발명에 따른 금속 박막의 구조 단면도
- 도 6a내지 도 6d는 본 발명에 따른 금속 박막의 형성을 위한 공정 단면도
- 도 7a와 도 7b는 베리어 금속에 따른 CVD/PVD Al 박막의 반사율 및 표면 거칠기를 나타낸 특성 그래프
- 도 8a내지 도 8d는 베리어 금속에 따른 CVD/PVD Al 박막의 표면 모폴로지를 나타낸 AFM 이미지
- 도 9a와 도 9b는 베리어 금속에 따른 CVD/PVD Al 박막의 XRD 패턴 및 rocking 커브
- 도 10a내지 도 10d는 베리어 금속에 따른 CVD/PVD Al 공정의 비아 필링(Via filling) 특성을 나타낸 그래프
- 도면의 주요 부분에 대한 부호의 설명

51.61. 반도체 기판

52.62. 베리어 금속층

53.63. PVD 씨드 박막

54.64. CVD 박막

55.65. PVD 리플로우 박막

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 반도체 소자에 관한 것으로, 특히 우수한 스텝 커버리지 및 표면 거칠기를 유지할 수 있도록한 반도체 소자의 금속 박막 및 그의 형성 방법에 관한 것이다.
- <16> 일반적으로 반도체 소자의 금속 배선 형성 공정은 주로 다음의 두가지 방법이 사용된다.
- <17> 첫째, 텅스텐 플러그 + RIE(Reactive Ion Etching) Al 공정과, 둘째, Al 플러그 공정이다.
- <18> 텅스텐 플러그 공정을 이용하는 경우에는 비교적 작은 사이즈의 비아(Via)까지 신뢰성을 높게 필링(filling)하는 것이 가능하나, 비교적 공정이 복잡하여 공정 제조 비용이 높다는 것이 문제이다.
- <19> Al 플러그 공정을 이용하는 경우에는 공정이 단순하여 제조 비용이 낮다는 장점이 있으나, 고집적의 미세 소자에는 적용하기에는 어렵다는 문제가 있다.
- <20> 이하, 첨부된 도면을 참고하여 종래 기술의 금속 박막 및 이를 이용한 금속 배선 형성에 관하여 설명하면 다음과 같다.
- <21> 먼저, 텅스텐 플러그를 이용한 금속 배선 형성 공정을 설명하면 다음과 같다.

- <22> 도 1a내지 도 1e는 종래 기술의 텅스텐 플러그를 이용한 금속 배선의 공정 단면도이다.
- <23> 도 1a에서와 같이, 반도체 기판(1)상에 층간 절연막(2)을 형성하고 선택적으로 식각하여 콘택홀(3)을 형성한다.
- <24> 이어, 도 1b에서와 같이, 상기 콘택홀(3)을 포함하는 전면에 얇은 베리어 금속층(4)을 형성한다.
- <25> 그리고 도 1c에서와 같이, 상기 베리어 금속층(4)이 형성된 콘택홀(3)이 완전 매립되도록 CVD 공정으로 블랭킷 텅스텐(W) 증착 공정을 진행하여 플러그 형성용 물질층 즉, 텅스텐층(5)을 형성한다.
- <26> 이때, 텅스텐층(5)은 콘택홀(3)을 매립하고 층간 절연막(2)상면에도 형성된다.
- <27> 이어, 도 1d에서와 같이, CMP(Chemical Mechanical Polishing) 또는 에치백 공정으로 상기 텅스텐층(5)을 평탄화하여 플러그층(5a)을 형성한다.
- <28> 그리고 도 1e에서와 같이, 상기 플러그층(5a)이 형성된 전면에 ARC(Anti-Reflective Coating)층(6),알루미늄층(7)을 증착하여 금속 배선을 형성한다.
- <29> 이와 같은 텅스텐 플러그를 이용한 금속 배선 형성 공정은 현재 보유중인 장비를 그대로 이용할 수 있고, 실제 양산에서 검증된 공정 기술을 이용하기 때문에 유리하다.
- <30> 그러나 공정 코스트가 높고(\$14.36/wf), 공정 스텝수가 많아 수율이 저하되는 문제가 있다.
- <31> 또한, 블랭킷 증착 공정을 이용하기 때문에 콘택홀의 사이즈가 작아질수록 보이드(void)가 발생할 가능성이 높다.

- <32> 그리고 Al 리플로우를 이용한 금속 배선 공정을 설명하면 다음과 같다.
- <33> 도 2a내지 도 2d는 종래 기술의 Al 리플로우를 이용한 금속 배선의 공정 단면도이다.
- <34> 먼저, 도 2a에서와 같이, 반도체 기판(21)상에 층간 절연막(22)을 형성하고 층간 절연막(22)을 선택적으로 식각하여 콘택홀(23)을 형성한다.
- <35> 여기서, 콘택홀(23)은 플러그 형성을 위한 물질의 매립 효율을 높이기 위하여 상단 모서리 부분이 라운드 형상으로 확장된 구조(wine glass type)로 형성한다.
- <36> 이어, 도 2b에서와 같이, 상기 콘택홀(23)의 바닥면 및 벽면을 포함하는 층간 절연막(22)의 표면에 베리어층 및 웨팅층(wetting layer)(24)을 형성한다.
- <37> 그리고 도 3c에서와 같이, PVD(Physical Vapour Deposition) 공정으로 알루미늄층(25)을 형성한다.
- <38> 이때, 알루미늄층(25)은 콘택홀(23)이 완전 매립되도록 형성되는 것이 아니라 PVD 공정의 특성상 부분 매립된다.
- <39> 이어, 도 3d에서와 같이, 550℃ 이상의 온도의 열처리 공정으로 상기 알루미늄층(25)을 리플로우(reflow)시켜 콘택홀(23)이 완전 매립되도록 평탄화시켜 플러그+주배선 구조의 금속 배선층(25a)을 형성한다.
- <40> 이와 같은 알루미늄 리플로우 공정에 의한 금속 배선 형성 방법은 제조 비용측면에서 유리하나, 매립 가능한 형상의 콘택홀을 형성하기 위한 추가 공정이 필요하고, 콘택홀의 종횡비가 제한되는 문제가 있다.
- <41> 또한, 고온 저진공 장비가 필요하고, 고온 공정에 의한 선저항(line Rs)의 증가 문



제가 있다.

<42> 그리고 금속 배선의 다른 형성 방법의 하나인 Al Cold-Hot deposition 방법을 설명하면 다음과 같다.

<43> 도 3a내지 도 3d는 종래 기술의 Al Cold-Hot 증착을 이용한 금속 배선의 공정 단면도이다.

<44> 먼저, 도 3a에서와 같이, 반도체 기판(31)상에 층간 절연막(32)을 형성하고 층간 절연막(32)을 선택적으로 식각하여 콘택홀(33)을 형성한다.

<45> 여기서, 콘택홀(33)은 플러그 형성용 물질의 매립 효율을 높이기 위하여 콘택홀의 상단 너비가 하단의 너비보다 크게 형성한다.

<46> 이어, 도 3b에서와 같이, 상기 콘택홀(33)의 바닥면 및 벽면을 포함하는 층간 절연막(32)의 표면에 베리어층 및 웨팅층(wetting layer)(34)을 형성한다.

<47> 그리고 도 3c에서와 같이, 상기 베리어층 및 웨팅층(34)상에 Cold 알루미늄층(35)을 형성한다.

<48> 이어, 도 3d에서와 같이, 400 ~ 550℃의 온도에서 Hot 알루미늄층(35a)을 형성하여 플러그+주배선층 구조의 금속 배선층을 형성한다.

<49> 이와 같은, Al Cold-Hot 증착을 이용한 금속 배선 형성 방법은 공정 스텝수가 적어 추가 장비를 필요로 하지 않고, 제조 비용 측면에서 유리하다.

<50> 그러나 매립 가능한 중형비의 한계가 있고, 비교적 고온 공정을 필요로하여 선저항의 증가 문제가 있다.

<51> 그리고 또 다른 금속 배선의 다른 형성 방법의 하나인 CVD/PVD Al 금속 배선 형성

방법을 설명하면 다음과 같다.

- <52> 도 4a내지 도 4d는 종래 기술의 CVD/PVD Al을 이용한 금속 배선의 공정 단면도이다.
- <53> 먼저, 도 4a에서와 같이, 반도체 기판(41)상에 층간 절연막(42)을 형성하고 층간 절연막(42)을 선택적으로 식각하여 콘택홀(43)을 형성한다.
- <54> 콘택홀 형성 공정은 Ar 스퍼터링 식각 공정으로 진행한다.
- <55> 그리고 도 4b에서와 같이, 상기 콘택홀(43)의 바닥면 및 벽면을 포함하는 층간 절연막(42)의 상면에 걸쳐서 베리어층 및 핵생성층(Nucleation layer)(44)을 형성한다.
- <56> 상기 베리어층은 Ti 또는 TiN 또는 Ti/TiN을 IMP 또는 HCM등의 이온화(ionized) PVD 또는 CVD 공정으로 형성한다.
- <57> 이어, 도 4c에서와 같이, 상기 베리어층 및 핵생성층(44)이 형성된 전면에 CVD 공정으로 1000 Å 이하의 두께로 CVD 알루미늄층(45)층을 형성한다.
- <58> 그리고 도 4d에서와 같이, 350 ~ 400℃의 온도에서 PVD 공정을 진행하여 상기 CVD 알루미늄층(45)상에 PVD 알루미늄층(46)을 형성하여 플러그층 + 주배선층을 형성한다.
- <59> 여기서, CVD 알루미늄층(45)은 PVD 알루미늄층(46)의 리플로우에 필요한 웨팅층(wetting)으로 사용되고, CVD 알루미늄층(45)상에 PVD 방식으로 비교적 높은 온도에서 낮은 파워(5kW 이하)로 알루미늄을 증착하여 리플로우가 일어나도록 한다.
- <60> 그리고 PVD 알루미늄층(46)상에 후속되는 패터닝 공정의 정확성을 높이기 위하여 ARC(Anti-Reflective Coating)층을 더 형성하는 것도 가능하다.
- <61> ARC층으로는 Ti/TiN이 사용될 수 있다.

<62> 그리고 이와 같은 PVD/CVD Al 배선 공정시에 베리어층을 형성하기 위한 금속으로는 IMP Ti/MOCVD TiN이 Via filling 특성이 우수하기 때문에 주로 사용된다.

<63> 이와 같은 종래 기술의 금속 배선 형성 공정에서 사용되는 CVD에 의한 금속 증착은 기존에 사용되었던 PVD 리플로우 방식에 비해 Via filling 특성이 우수하여 차세대 소자의 Al 플러그 공정으로 많은 연구가 진행되었다.

<64> 특히, CVD와 PVD를 결합하여 얇은 CVD층을 웨팅층으로 사용하여 PVD 리플로우를 하는 도 4a내지 도 4d에 나타난 공정은 PVD 리플로우를 사용하는 경우에 비해 Via filling 특성이 우수할뿐만 아니라 CVD만을 사용하는 경우에 비해 증착 속도가 높고 alloying element를 첨가할 수 있어 생산성 및 신뢰성이 높은 금속 배선을 제조 가능하게 한다.

#### 【발명이 이루고자 하는 기술적 과제】

<65> 그러나 이와 같은 종래 기술의 금속 배선 형성 공정은 다음과 같은 문제가 있다.

<66> Via filling 특성이 우수하여 베리어 메탈로 주로 사용하는 IMP Ti/MOCVD TiN은 일렉트로 마이그레이션(Electromigration) 저항성과 밀접한 관계가 있는 금속 박막의 표면 짜임새(texture)가 좋지 않아 IMP Ti를 사용하는 경우보다 배선의 신뢰성이 좋지 않은 문제가 있다.

<67> 본 발명은 이와 같은 종래 기술의 반도체 소자의 금속 배선 형성 방법의 문제를 해결하기 위한 것으로, 우수한 스텝 커버리지 및 표면 거칠기를 유지할 수 있도록한 반도체 소자의 금속 박막 및 그의 형성 방법을 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<68> 이와 같은 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 금속 박막은 반도체

체 기판상에 형성되는 베리어 금속층;상기 베리어 금속층상에 순차적으로 적층 형성되는 PVD 씨드 박막,CVD 박막,PVD 리플로우 박막을 포함하고, 상기 PVD 씨드 박막,CVD 박막,PVD 리플로우 박막이 모두 동일 물질인 것을 특징으로 하고, 본 발명에 따른 반도체 소자의 금속 박막 형성 방법은 반도체 기판상에 층간 절연막을 형성하고 층간 절연막을 선택적으로 식각하여 콘택홀을 형성하는 단계;상기 콘택홀을 포함하는 층간 절연막상에 베리어 금속층을 형성하는 단계;상기 베리어 금속층상에 PVD 씨드 박막을 형성하는 단계;상기 PVD 씨드 박막상에 CVD 박막을 형성하는 단계;상기 CVD 박막상에 PVD 리플로우 박막을 형성하여 콘택홀이 매립되고 층간 절연막상에서 평탄한 박막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<69> 이하, 첨부된 도면을 참고하여 본 발명에 따른 반도체 소자의 금속 박막 및 그의 형성 방법에 관하여 상세히 설명하면 다음과 같다.

<70> 도 5는 본 발명에 따른 금속 박막의 구조 단면도이다.

<71> 먼저, 본 발명에 따른 금속 박막은 콘택홀을 포함하는 층간 절연막(도면에 도시하지 않음)을 포함하는 반도체 기판(51)상에 형성되는 베리어 금속층(52)과, 상기 베리어 금속층(52)상에 순차적으로 적층 형성되는 PVD 씨드 박막(53),CVD 박막(54),PVD 리플로우 박막(65)을 포함하여 구성된다.

<72> 여기서, 베리어 금속층(52)은 Ti 또는 TiN 또는 Ti/TiN을 사용하고 Ti는 IMP 공정에 의해 형성하고 TiN은 MOCVD(Metal-Organic Chemical Vapor Deposition) 공정으로 형성한다.

<73> 물론, 베리어 금속층(52)을 IMP Ti 또는 IMP Ti/TiN의 구조로 형성하는 것도 가능

하다.

<74> 그리고 PVD 씨드 박막(53), CVD 박막(54), PVD 리플로우 박막(65)은 Al 또는 Cu로 형성한다.

<75> 이와 같은 본 발명에 따른 금속 박막은 베리어 금속층(52)과 CVD 박막(54)사이에 PVD 씨드 박막(53)을 증착하여 CVD 박막(54)의 핵생성 및 미세 구조를 향상시킬 수 있다.

<76> 즉, Al의 핵생성 및 미세 구조 저하 문제를 해결하기 위하여 CVD Al의 핵생성 및 성장에 유리한 Al<111> 박막을 PVD 공정으로 씨드층으로 형성한후 후속 공정을 진행하는 것이다.

<77> 그리고 상기 PVD 리플로우 박막(55)상에 Ti/TiN의 ARC층을 더 형성하는 것도 가능하다.

<78> 이와 같은 구조의 본 발명에 따른 금속 박막의 형성 방법을 설명하면 다음과 같다.

<79> 도 6a내지 도 6d는 본 발명에 따른 금속 박막의 형성을 위한 공정 단면도이다.

<80> 먼저, 도 6a에서와 같이, 특정 부분에 콘택홀을 포함하는 층간 절연막(주로 산화막)이 형성된 반도체 기판(61)상에 베리어 금속층(62)을 형성한다.

<81> 상기 베리어 금속층(62)을 형성하기 전에 콘택홀의 청정을 확보하기 위하여 플라즈마를 이용한 클리닝 공정을 진행한다.

<82> 그리고 도 6b에서와 같이, 플러그층을 형성하기 위한 공정을 진행한다.

<83> 즉, 베리어 금속층(62)상에 씨드층으로 PVD 씨드 박막(63)을 형성한다.

<84> 여기서, PVD 씨드 박막(63)은 Al 또는 Cu를 사용하여 300℃이하의 저온, 5kW이상의

High 파워로 2000Å 이하의 두께로 형성한다.

<85> 이어, 도 6c에서와 같이, 상기 PVD 씨드 박막(63)상에 1000Å 이하의 두께로 CVD 박막(64)을 형성한다.

<86> 여기서, CVD 박막(64)은 Al을 사용하여 형성하고 전구체(precursor)로는 DMAH(dimethyl aluminum hydride,  $(CH_3)_2AlH$ ), DMEAA(dimethyl ethyl amine alane,  $AlH_3N(CH_3)_2(C_2H_5)$ ) 등의 유기 금속 화합물 또는 그를 포함하는 혼합(blend) 물질을 사용한다.

<87> 혼합 물질로는 DMAH에 첨가물(adduct)를 소량 첨가한 혼합물을 사용하고 증착 온도를 150 ~ 300°C, 증착 압력을 1 ~ 100Torr로 진행하여 CVD 박막(64)을 형성할 수 있다.

<88> 또한, CVD 박막(64)을 Cu로 형성하는 경우에는 전구체로 Lewis-base stabilized Cu(I)beta-diketonate 또는 그를 포함하는 혼합 전구체를 사용한다.

<89> 혼합 전구체로는 Cu(hfac)(tmvs)에 tmvs 및 Hhfac Dihydrate(HDH)를 미리 첨가한 혼합물을 사용하고 증착 온도는 100 ~ 300°C, 증착 압력은 1 ~ 100Torr로 진행하여 CVD 박막(64)을 형성할 수 있다.

<90> 여기서, CVD 박막(64)을 Al로 형성하는 경우에 베리어 금속층(62)을 Ti 또는 TiN 또는 Ti/TiN을 사용하여 형성한다.

<91> Ti는 ionized PVD 방식으로, TiN은 ionized PVD 또는 CVD 방식으로 증착한다.

<92> 그리고 CVD 박막(64)을 Cu로 형성하는 경우에는 베리어 금속층(62)을 Ta, TaN, Ta/TaN, TiN, Ti/TiN 또는  $WN_x$ 를 사용하여 형성한다.

<93> Ta, Ti는 ionized PVD 방식으로 형성하고, TaN, TiN,  $WN_x$ 는 ionized PVD 또는 CVD 방식으로 증착한다.

- <94>        이어, 도 6d에서와 같이, 상기 CVD 박막(64)상에 PVD 리플로우 박막(65)을 형성한다.
- <95>        이때, PVD 리플로우 박막(65)으로 Al을 사용하는 경우에는 300℃ 이상의 온도(바람직하게는 350 ~ 400℃)에서, 5kW 이하의 파워로 공정을 진행하거나, 5kW이상의 파워로 증착 공정을 진행하고 후속 열처리를 실시한다.
- <96>        또 다른 방법으로는 high 파워(5kW 이상), low 파워(5kW 이하)를 교대로 사용하여 실시한다.
- <97>        그리고 PVD 리플로우 박막(65)으로 Cu를 사용하는 경우에도 상기와 마찬가지로 300℃ 이상의 온도(바람직하게는 350 ~ 400℃)에서, 5kW 이하의 파워로 공정을 진행하거나, 5kW이상의 파워로 증착 공정을 진행하고 후속 열처리를 실시한다.
- <98>        또 다른 방법으로는 high 파워(5kW 이상), low 파워(5kW 이하)를 교대로 사용하여 실시한다.
- <99>        그리고 PVD 리플로우 박막(65)은 전체 박막 두께의 50%를 넘지 않게 형성한다.
- <100>        그리고 추가로 상기 PVD 리플로우 박막(65)상에 후속되는 패터닝 공정의 정확성을 확보하기 위하여 Ti/TiN의 ARC층을 더 형성할 수 있다.
- <101>        이와 같은 본 발명에 따른 금속 박막 형성 방법은 CVD 박막의 증착이 PVD 씨드 박막상에 이루어지도록 하여 베리어 금속층상에 직접 증착하는 경우보다 핵생성 및 미세 구조를 향상시킬 수 있도록한 것이다.
- <102>        CVD 박막 형성시에 전구체로 DMAH(dimethyl aluminum hydride,  $(\text{CH}_3)_2\text{AlH}$ ), DMEAA(dimethyl ethyl amine alane,  $\text{AlH}_3\text{N}(\text{CH}_3)_2(\text{C}_2\text{H}_5)$ ) 등이 사용되는데 이들은 산화

막과 같은 비전도성 기판위에서는 증착이 거의 일어나지 않고 금속과 같은 전도성 기판 위에서는 증착 속도가 빠른 선택성(selectivity)을 갖고 있다.

<103> 물론, 금속 기판(Metal substrate)에서도 금속의 종류 및 공정 조건에 따라 CVD 박막의 성장 속도 및 미세 구조가 달라지게 된다.

<104> 금속 배선의 신뢰성 측면에서 가장 바람직한 금속 배선 미세 구조는 <111> 방향으로 배향된 균일한 박막이므로 CVD 박막이 <111> 방향으로 배향되게 하는 기판의 선정이 중요하다.

<105> 일반적으로 PVD 알루미늄의 경우에는 <002> 방향으로 배향된 Ti 박막이 Al 박막의 배향성 측면에서 가장 우수한 베리어 금속층으로 알려지고 있고, Ti<002>/TiN<111>박막도 우수한 베리어 금속층으로 알려져있다.

<106> 그럼에도 같은 물질로 이루어진 PVD 박막상에 CVD 박막을 형성하는 경우와 같은 우수한 핵생성 및 배향 특성을 갖지 못한다.

<107> 특히 본 발명의 금속 박막 형성 방법은 Al filling 특성이 가장 우수한 베리어 금속층으로 알려진 IMP Ti/MOCVD TiN 베리어를 사용하는 경우에도 Al 핵생성 및 미세 구조가 나쁜 문제를 PVD 씨드 박막상에 형성하여 해결하는 장점을 갖는다.

<108> IMP Ti 및 IMP Ti/MOCVD TiN 베리어 각각에 대한 CVD/PVD Al 박막의 특성을 비교하면 다음과 같다.

<109> 도 7a와 도 7b는 베리어 금속에 따른 CVD/PVD Al 박막의 반사율 및 표면 거칠기를 나타낸 특성 그래프이고, 도 8a내지 도 8d는 베리어 금속에 따른 CVD/PVD Al 박막의 표면 모폴로지를 나타낸 AFM 이미지이다.



- <110> 그리고 도 9a와 도 9b는 베리어 금속에 따른 CVD/PVD Al 박막의 XRD 패턴 및 rocking 커브이고, 도 10a내지 도 10d는 베리어 금속에 따른 CVD/PVD Al 공정의 비아 필링(Via filling) 특성을 나타낸 그래프이다.
- <111> 먼저, 도 7a와 도 7b에서 보면, CVD/PVD Al 박막의 반사율과 표면거칠기를 살펴보면 PVD Al 씨드를 적용하지 않았을때 Ti 베리어에 비하여 Ti/TiN 베리어 위에서 반사율도 낮고 표면 거칠기가 큰 것을 알 수 있다.
- <112> 그러나 본 발명에서와 같이, PVD 씨드 박막을 적용하는 경우에는 Ti, Ti/TiN 베리어 모두의 경우에서 반사율 및 표면 거칠기가 향상된 것을 알 수 있다.
- <113> 특히, Ti/TiN 베리어의 경우에서 반사율 및 표면 거칠기가 현저하게 향상됨을 알 수 있다.
- <114> 도 7a와 도 7b에서 Ti는 IMP Ti를 나타낸 것이고, Ti/TiN은 IMP Ti/MOCVD TiN을 나타낸 것이다. 그리고 seed는 PVD Al seed layer층을 나타낸 것이다.
- <115> 그리고 도 8a내지 도 8d는 Al 박막의 표면 형상을 AFM으로 관찰한 이미지를 나타낸 것으로, PVD 씨드 박막을 사용하는 경우 표면 형상이 매끄러워지는 것을 알 수 있다.
- <116> 특히, Ti//TiN 베리어를 사용하고 본 발명의 PVD Al 씨드층을 형성하는 경우에 표면 형상의 매끄러워짐이 현저해지는 것을 알 수 있다.
- <117> 도 8a는 IMP Ti 베리어인 경우의 CVD/PVD Al 박막의 표면 모폴로지를 나타낸 것이고, 도 8b는 IMP Ti/MOCVD TiN 베리어인 경우의 CVD/PVD Al 박막의 표면 모폴로지를 나타낸 것이다.
- <118> 그리고 도 8c는 IMP Ti 베리어 및 PVD Al 씨드층을 사용하는 경우의 알루미늄 박막

의 표면 형상을 나타낸 것이다.

<119> 그리고 도 8d는 IMP Ti/MOCVD TiN 베리어 및 PVD Al 씨드층을 사용하는 경우의 알루미늄 박막의 표면 형상을 나타낸 것이다.

<120> 도 9a와 도 9b는 각각의 샘플에서 얻은 XRD 패턴을 나타낸 것으로, Theta-2theta scan과 Al<111> rocking curve 모두 ti/TiN보다 Ti가 우수한 <111> 표면 짜임새 (texture)를 나타내며, PVD Al 씨드층에 의해 Al 박막의 표면 짜임새가 좋아지는 것을 알 수 있다.

<121> 그리고 도 10a내지 도 10d는 Via 분포를 관찰하여 Via filling 특성을 나타낸 것으로, 네가지 샘플의 박막을 2-레벨 metallization 공정의 Al 플러그 형성 공정에 적용하고 얻은 Via 저항 분포를 나타낸 것이다.

<122> Ti에 비해 Ti/TiN 베리어를 사용하는 경우가 Via filling 특성이 우수하고, PVD Al 씨드층을 적용하는 경우에서 Via filling 특성이 많이 우수한 것을 알 수 있다.

<123> 여기서, 도 10a는 베리어 메탈로 IMP Ti를 사용하는 경우이고, 도 10b는 IMP Ti/MOCVD TiN을 사용하는 경우이다.

<124> 그리고 도 10c는 IMP Ti를 베리어로 사용하고 PVD Al 씨드층을 적용하는 경우이고, 도 10d는 IMP Ti/MOCVD TiN을 베리어로 사용하고, PVD Al 씨드층을 적용하는 경우의 Via filling 특성을 나타낸 것이다.

<125> 이상의 결과를 보면, Ti/TiN substrate에 대해서는 Al filling 특성을 나쁘게 하지 않으면서 Al 박막의 표면 거칠기, <111> 배향성등의 특성을 향상시킬 수 있고, Ti substrate에 대해서는 Al 박막의 표면 거칠기, <111> 배향성, Al filling 특성을 향상시

킬 수 있음을 알 수 있다.

<126> 이와 같은 금속 박막을 이용한 플러그 및 주배선층 형성시에 콘택홀의 형상은 어느 구조라도 괜찮다. 특히, 콘택홀의 상부 너비와 하부 너비가 동일한 수직 구조의 경우에도 금속 배선의 모든 조건을 만족하는 결과를 얻을 수 있음은 당연하다.

**【발명의 효과】**

<127> 이와 같은 본 발명에 따른 금속 박막 및 그의 형성 방법은 다음과 같은 효과가 있다.

<128> Via filling 특성이 우수한 베리어 금속층을 선택하여 사용할 수 있어 일렉트로마 이그레이션 특성을 향상시킬 수 있다.

<129> 또한, 우수한 스텝 커버리지 및 표면 거칠기를 유지할 수 있도록 하여 배선의 신뢰성을 향상시키는 효과가 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판상에 형성되는 베리어 금속층;

상기 베리어 금속층상에 순차적으로 적층 형성되는 PVD 씨드 박막,CVD 박막,PVD 리플로우 박막을 포함하고, 상기 PVD 씨드 박막,CVD 박막,PVD 리플로우 박막이 모두 동일 물질인 것을 특징으로 하는 반도체 소자의 금속 박막.

**【청구항 2】**

제 1 항에 있어서, PVD 씨드 박막,CVD 박막,PVD 리플로우 박막이 Al 또는 Cu인 것을 특징으로 하는 반도체 소자의 금속 박막.

**【청구항 3】**

제 1 항에 있어서, 반도체 기판과 PVD 씨드 박막층 사이에는 콘택홀을 갖는 층간 절연막이 구성되는 것을 특징으로 하는 반도체 소자의 금속 박막.

**【청구항 4】**

반도체 기판상에 층간 절연막을 형성하고 층간 절연막을 선택적으로 식각하여 콘택홀을 형성하는 단계;

상기 콘택홀을 포함하는 층간 절연막상에 베리어 금속층을 형성하는 단계;

상기 베리어 금속층상에 PVD 씨드 박막을 형성하는 단계;

상기 PVD 씨드 박막상에 CVD 박막을 형성하는 단계;

상기 CVD 박막상에 PVD 리플로우 박막을 형성하여 콘택홀이 매립되고 층간 절연막

상에서 평탄한 박막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속 박막 형성 방법.

**【청구항 5】**

제 4 항에 있어서, CVD 박막을 Al 또는 Cu를 사용하여 1000Å 이하의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 금속 박막 형성 방법.

**【청구항 6】**

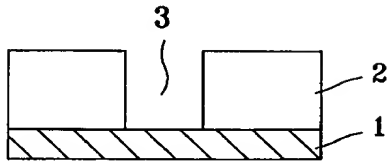
제 5 항에 있어서, CVD 박막을 Al로 형성하는 경우에 베리어 금속층을 Ti 또는 TiN 또는 Ti/TiN을 사용하여 형성하고, 여기서, Ti는 ionized PVD 방식으로, TiN은 ionized PVD 또는 CVD 방식으로 증착하는 것을 특징으로 하는 반도체 소자의 금속 박막 형성 방법.

**【청구항 7】**

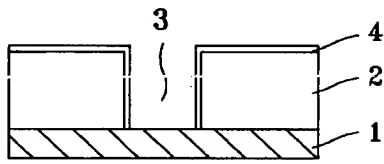
제 5 항에 있어서, CVD 박막을 Cu로 형성하는 경우에는 베리어 금속층을 Ta, TaN, Ta/TaN, TiN, Ti/TiN의 어느 하나 또는 WN<sub>x</sub>를 사용하여 형성하고, 여기서, Ta, Ti는 ionized PVD 방식으로 형성하고, TaN, TiN, WN<sub>x</sub>는 ionized PVD 또는 CVD 방식으로 증착하는 것을 특징으로 하는 반도체 소자의 금속 박막 형성 방법.

## 【도면】

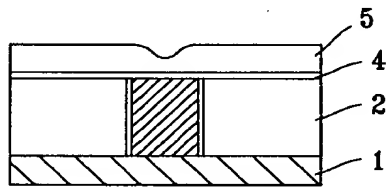
【도 1a】



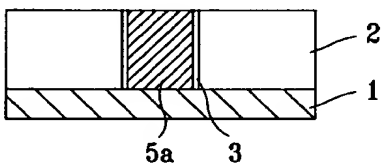
【도 1b】



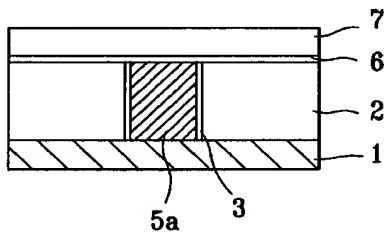
【도 1c】



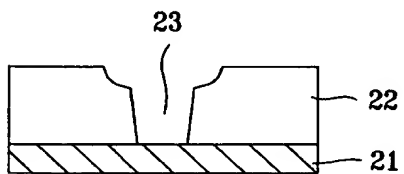
【도 1d】



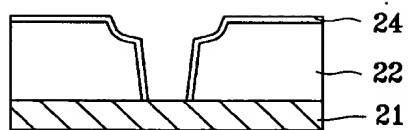
【도 1e】



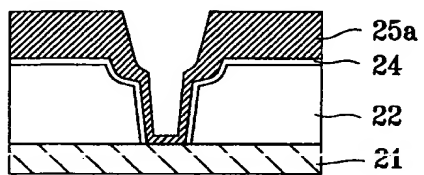
【도 2a】



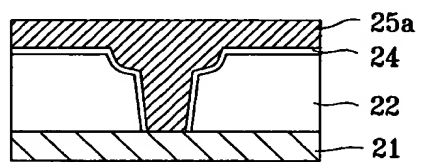
【도 2b】



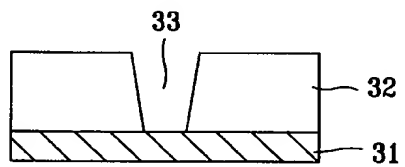
【도 2c】



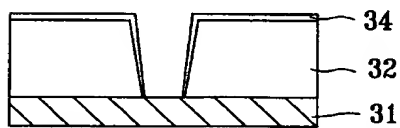
【도 2d】



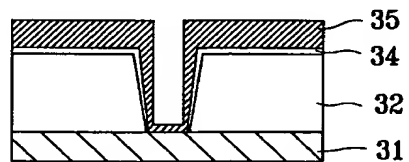
【도 3a】



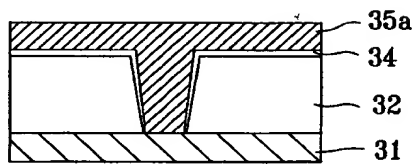
【도 3b】



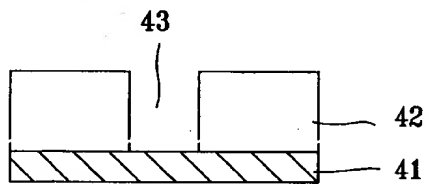
【도 3c】



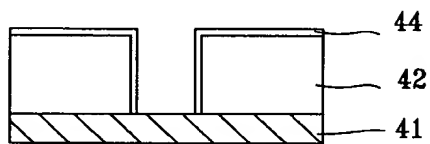
【도 3d】



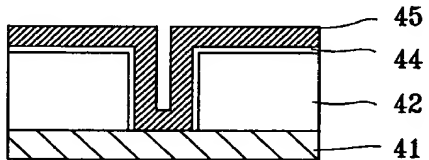
【도 4a】



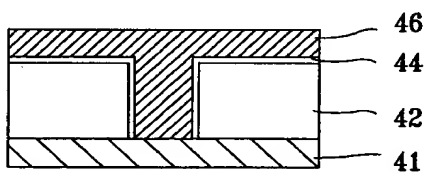
【도 4b】



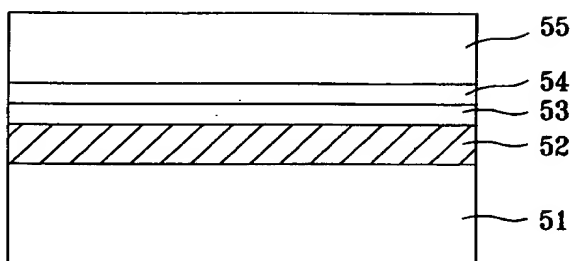
【도 4c】



【도 4d】

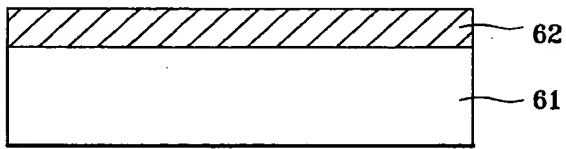


【도 5】

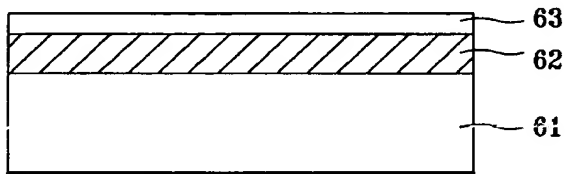




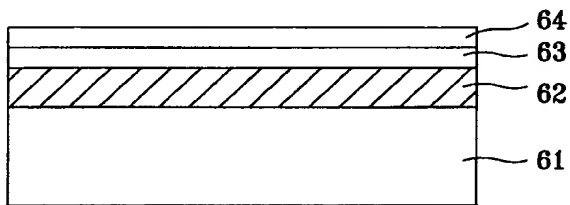
【도 6a】



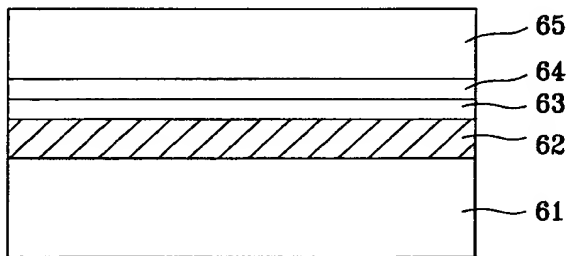
【도 6b】



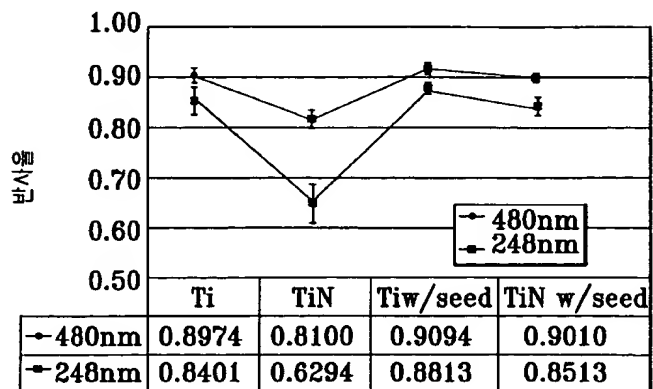
【도 6c】



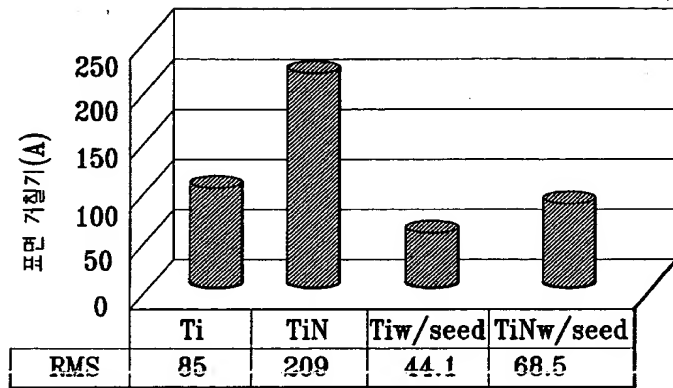
【도 6d】



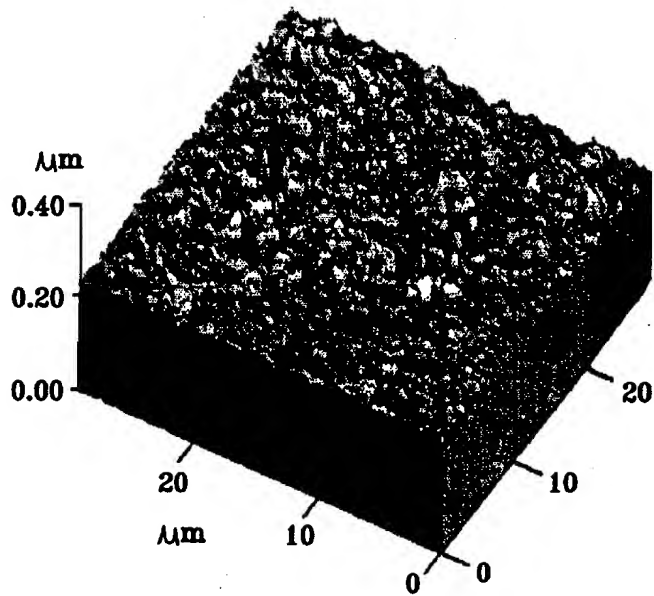
【도 7a】



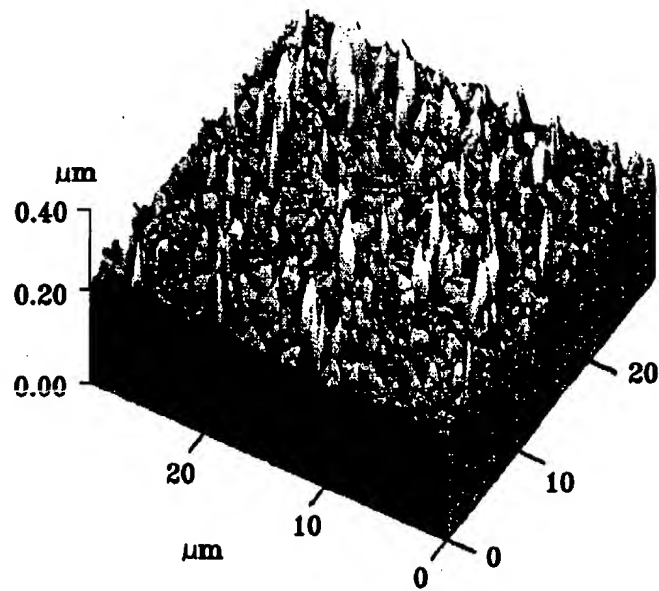
【도 7b】



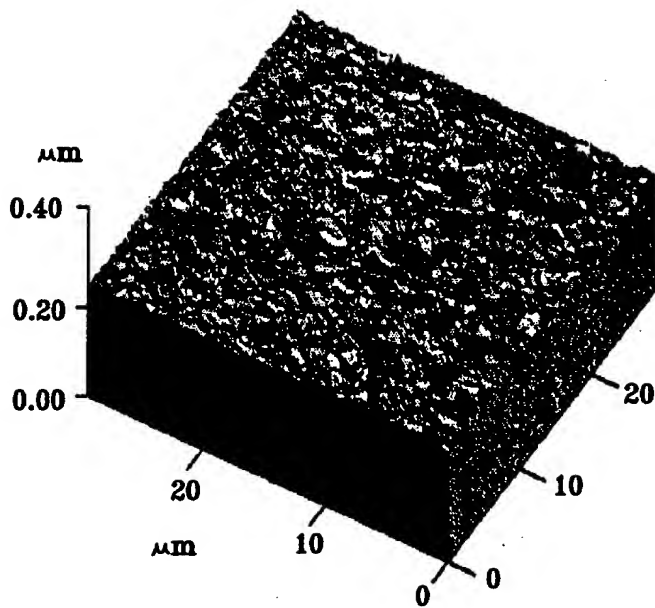
【도 8a】



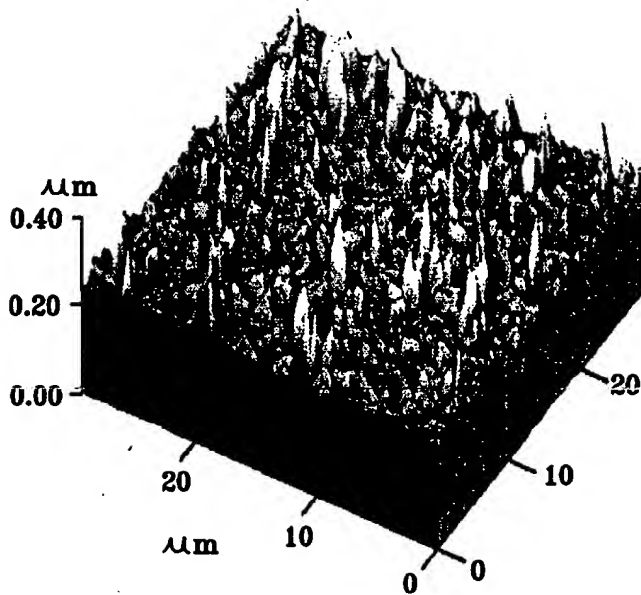
【도 8b】



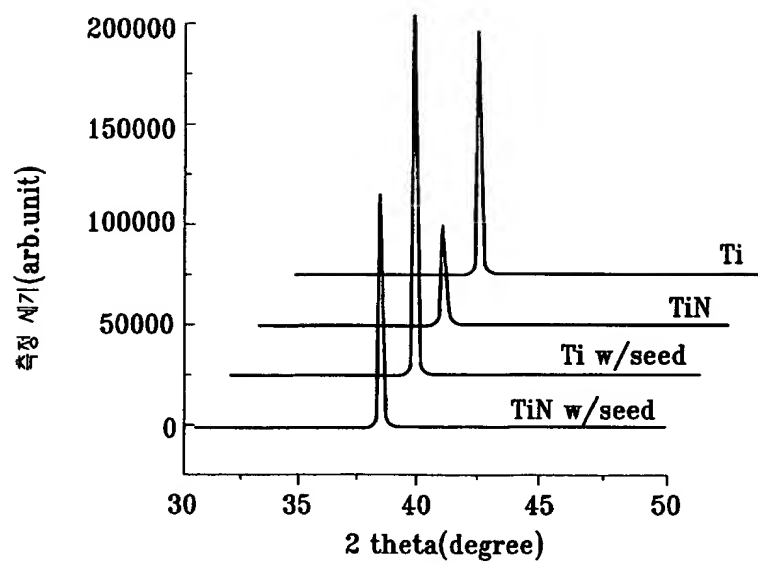
【도 8c】



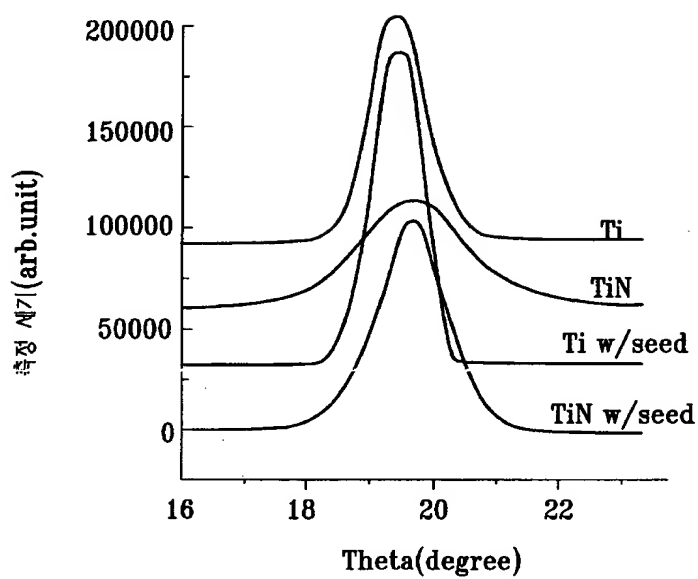
【도 8d】



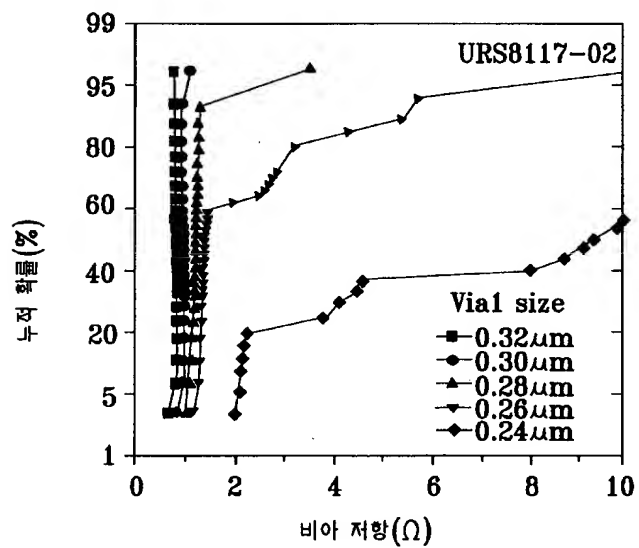
【도 9a】



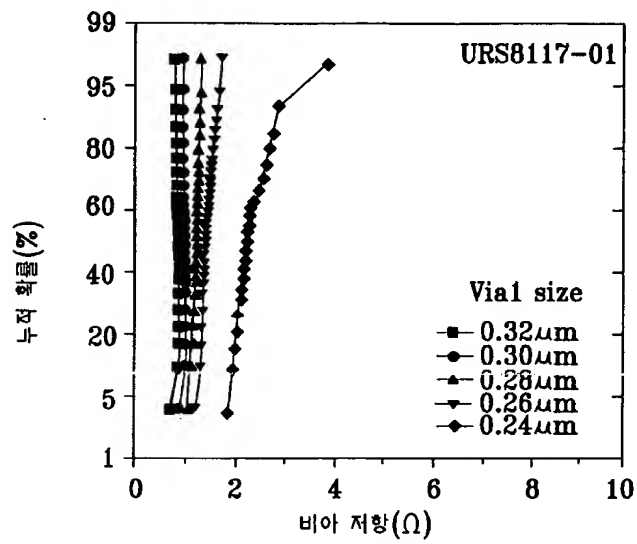
【도 9b】



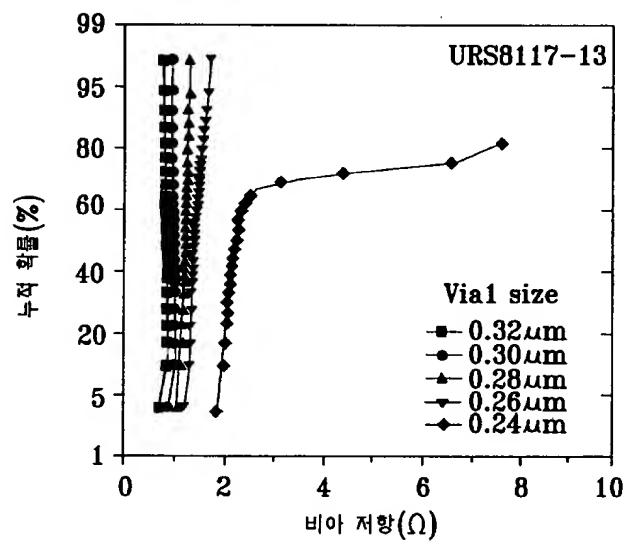
【도 10a】



【도 10b】



【도 10c】



【도 10d】

